

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

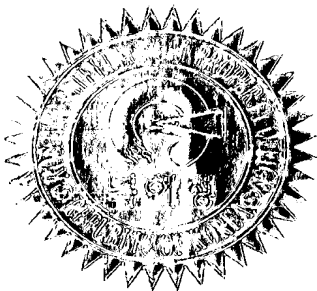
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0065940  
Application Number PATENT-2002-0065940

출원년월일 : 2002년 10월 28일  
Date of Application OCT 28, 2002

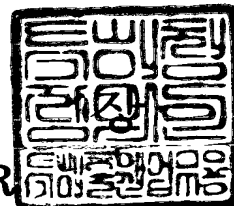
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003    년    01    월    28    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.10.28
【국제특허분류】	H01L
【발명의 명칭】	클럭 지연 검출 회로 및 클럭 지연 검출 방법
【발명의 영문명칭】	Circuit for detecting clock delay and method there of
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	신영민
【성명의 영문표기】	SHIN,Young Min
【주민등록번호】	651207-1047918
【우편번호】	121-251
【주소】	서울특별시 마포구 성산1동 254-23 7통 1반
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 21 면 21,000 원

【우선권주장료】 1 건 26,000 원

【심사청구료】 19 항 717,000 원

【합계】 793,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

클럭 지연 검출 회로 및 클럭 지연 검출 방법이 개시된다. 본 발명에 따른 클럭 지연 검출 회로는 지연 검출 회로 및 클럭 포워딩 회로를 구비한다. 지연 검출 회로는 소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생하고, 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생한다. 클럭 포워딩 회로는 상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행한다. 본 발명에 따른 클럭 지연 검출 회로는 클럭 포워딩 회로의 초기 파라미터를 설정하기 위한 클럭 지연을 자동으로 검출할 수 있으며, 또한 인터페이스 되는 외부 회로를 마스터 회로와 동시에 리셋 할 수 있으므로 데이터 전송을 오류 없이 수행할 수 있는 장점이 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

클럭 지연 검출 회로 및 클럭 지연 검출 방법{Circuit for detecting clock delay and method there of}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 마스터 회로에서 출력되는 출력 클럭 신호와 입력되는 입력 클럭 신호의 관계를 설명하는 타이밍도이다.

도 2는 도 1의 출력 클럭 신호와 입력 클럭 신호의 속도가 증가된 경우의 타이밍도이다.

도 3은 도 1의 출력 클럭 신호와 입력 클럭 신호의 속도 증가로 인하여 동작마진이 소멸된 경우를 설명하는 타이밍도이다.

도 4는 클럭 포워딩 방법(clock forwarding method)에 의한 입력 클럭 신호와 출력 클럭 신호의 관계를 설명하는 도면이다.

도 5는 본 발명의 제 1 실시예에 따른 디지털 시스템을 나타내는 블록도이다.

도 6은 본 발명의 제 2 실시예에 따른 클럭 지연 검출 회로를 나타내는 블록도이다.

.

도 7은 도 6의 지연 검출 회로를 나타내는 회로도이다.

도 8은 도 7의 지연 검출 회로의 동작을 나타내는 타이밍도이다.

도 9는 도 7의 지연 검출 회로에서 발생하는 초기 파라미터를 나타내는 표이다.

도 10은 도 6의 클럭 지연 검출 회로의 동작을 설명하는 타이밍도 이다.

도 11은 클럭 지연 검출 방법을 설명하는 플로우 차트이다.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 회로에 관한 것으로서, 특히 클럭 포워딩 회로(Clock Forwarding Circuit)의 초기 파라미터를 위한 클럭 지연을 검출하며 외부 회로의 리셋을 제어하는 클럭 지연 검출 회로에 관한 것이다.

<14> CPU (central processing unit)와 같은 마스터 회로(master circuit)의 속도가 점차 고 속도화 되어감에 따라 마스터 회로와 인터페이스 되는 메모리나 시스템 버스 등의 동작 속도도 비례해서 고 속도화 되고 있다. 이러한 경향에 따라 인터페이스 되는 클럭이나 데이터들이 마더 보드(mother board)의 회로 구성에 따른 클럭 지연 때문에 동작 마진(margin)이 줄어드는 문제가 있다.

<15> 이러한 문제를 개선하기 위하여, 마스터 회로에서 슬레이브 회로로 데이터를 전송할 때 마스터 회로의 클럭도 함께 전송하여 슬레이브 회로에서 데이터 패치(fetch)를 하도록 하고, 마스터 회로와 슬레이브 회로 사이의 클럭의 지연을 분석하여 보상해주는 클럭 포워딩 방법(clock forwarding method)이 채용되고 있다.

- <16> 도 1은 마스터 회로에서 출력되는 출력 클럭 신호와 입력되는 입력 클럭 신호의 관계를 설명하는 타이밍도이다.
- <17> 출력 클럭 신호(CLK\_OUT)는 마스터 회로(미도시)에서 출력되어 슬레이브 회로(미도시)로 인가되는 신호이고, 입력 클럭 신호(CLK\_IN)는 슬레이브 회로에서 출력되어 마스터 회로로 인가되는 신호이다. 입력 클럭 신호(CLK\_IN)는 출력 클럭 신호(CLK\_OUT)의 피드백 클럭 신호(feedback clock signal)이다.
- <18> 마스터 회로는 슬레이브 회로로부터 인가되는 데이터를 로딩하는데 입력 클럭 신호(CLK\_IN)를 사용하고, 로딩된 데이터를 내부에서 처리하는데 출력 클럭 신호(CLK\_OUT)를 사용한다.
- <19> 도 1을 참조하면 출력 클럭 신호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN) 사이에는 지연이 존재한다. 지연은 마스터 회로와 슬레이브 회로를 포함하는 마더 보드(mother board)의 회로 구성에 기인한다. 지연은 출력 클럭 신호(CLK\_OUT)나 입력 클럭 신호(CLK\_IN)의 속도가 낮은 경우에는 문제되지 않는다. 클럭 속도가 낮은 경우에는 마스터 회로의 데이터 로딩 및 언로딩을 위한 동작 마진이 충분하다.
- <20> 도 2는 도 1의 출력 클럭 신호와 입력 클럭 신호의 속도가 증가된 경우의 타이밍도이다.
- <21> 최근에는 마스터 회로와 슬레이브 회로의 클럭 속도가 증가되는 경향이 있다. 마스터 회로와 슬레이브 회로의 클럭 속도가 증가됨에 따라 마스터 회로의 데이터 로딩 및 언로딩을 위한 동작 마진은 감소된다. 그 결과 슬레이브 회로에서 마스터 회로의 데이터 전송에 오류가 발생할 수 있다.

- <22> 도 3은 도 1의 출력 클럭 신호와 입력 클럭 신호의 속도 증가로 인하여 동작마진이 소멸된 경우를 설명하는 타이밍도이다.
- <23> 만일 동작 마진을 보장할 수 없을 정도로 클럭 속도가 빨라지면 슬레이브 회로로부터 마스터 회로로 데이터를 안전하게 전송하는 것은 매우 어렵다. 도 3에 서 동작 마진 없이 출력 클럭 신호(CLK\_OUT)가 입력 클럭 신호를 앞서고 있다. 이는 마스터 회로에서의 데이터 처리가 데이터 로딩 보다 먼저 수행된다는 의미이므로 결국 오동작이다.
- <24> 고속도로 동작되는 고성능 컴퓨터에서 위와 같은 인터페이스의 오동작을 피하는 것이 점점 어려워지고 있다. 따라서 이러한 문제를 해결하기 위한 방법이 클럭 포워딩 방법(clock forwarding method)이다.
- <25> 도 4는 클럭 포워딩 방법(clock forwarding method)에 의한 입력 클럭 신호와 출력 클럭 신호의 관계를 설명하는 도면이다.
- <26> 지연에 대응되는 몇몇 클럭 주기들이 출력 클럭 신호(CLK\_OUT)에 앞서서 전송된다. 따라서 마스터 회로에서의 데이터 처리는 데이터 로딩 동작 이후에 수행될 수 있다. 따라서 슬레이브 회로로부터 입력되는 데이터는 마스터 회로로 정확하게 전송될 수 있다.
- <27> 클럭 포워딩 방법에서 데이터 로딩 및 언로딩을 위한 초기 파라미터를 결정해야 한다. 일반적으로, 초기 파라미터들은 마더 보드(mother board) 디자이너에 의하여 결정되고, 외부의 롬(ROM)(미도시)에 저장된다. 전원이 인가된 후, 마스터 회로가 초기화 될 때 초기 파라미터들은 클럭들의 포워딩을 위하여 클럭 포워딩 회로(미도시)에 로딩된다. 초기 파라미터에 의한 클럭 포워딩 회로에 의하여 마스터 회로로 입력된 데이터는 오동작 없이 처리될 수 있다.



<28> 클럭 포워딩 방법은 1989년 3월 7일 Seger et al.에 의해 등록된 미국 특허 번호 4,811,364, "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION", 1990년 12월 18일 Seger et al.에 의해 등록된 미국 특허 번호 4,979,190, "METHOD AND APPARATUS FOR STABILIZED DATA TRANSMISSION", 1985년 6월 25일 Wolf 에 의하여 등록된 미국 특허 번호 4,525,849, "DATA TRANSMISSION FACILITY BETWEEN TWO ASYNCHRONOUSLY CONTROLLED DATA PROCESSING SYSTEMS WITH A BUFFER MEMORY" 가 있다.

<29> 그런데, 클럭 포워딩 방법을 위한 초기 파라미터들은 마더 보드 디자이너에 의하여 설정되므로 제품의 생산비가 증가되고, 초기 파라미터가 롬에 저장되기 때문에 제품의 차이에 따라 데이터 전송 오류가 발생될 수 있다.

<30> 또한 클럭 포워딩 방법을 이용할 경우, 마스터 회로에 구비된 클럭 포워딩 회로와 슬레이브 회로, 즉 메모리나 칩 셋(chip set) 등은 서로 동기 되어야 하므로 동시에 리셋이 되어야한다. 그러나 시스템 리셋을 이용하는 것 이외에는 마스터 회로와 슬레이브 회로를 동시에 리셋 할 수 없으므로 슬레이브 회로에 발생하는 노이즈에 의하여 역시 데이터 전송 오류가 발생 될 수 있는 문제가 있다.

**【발명이 이루고자 하는 기술적 과제】**

<31> 본 발명이 이루고자하는 기술적 과제는, 클럭 포워딩 회로의 초기 파라미터를 설정하기 위한 클럭 지연을 자동으로 검출하고, 외부 슬레이브 회로의 리셋을 직접 제어할 수 있는 클럭 지연 검출 회로를 제공하는데 있다.

<32> 본 발명이 이루고자하는 다른 기술적 과제는, 클럭 포워딩 회로의 초기 파라미터를 자동으로 설정하기 위한 클럭 지연을 자동으로 검출하고, 외부 슬레이브 회로의 리셋을 직접 제어할 수 있는 클럭 지연 검출 방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<33> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 디지털 시스템은 마스터 회로 및 슬레이브 회로를 구비한다.

<34> 마스터 회로는 클럭 지연 검출 회로를 구비하며, 시스템 리셋 신호를 수신하고, 출력 데이터 및 상기 출력 데이터가 동기 되는 출력 클럭 신호와 상기 시스템 리셋 신호에 응답하는 리셋 제어 신호를 발생한다.

<35> 슬레이브 회로는 상기 리셋 제어 신호에 응답하여 리셋 되며, 상기 출력 클럭 신호 및 상기 출력 데이터를 수신하여 상기 출력 클럭 신호의 피드백 클럭 신호인 입력 클럭 신호 및 상기 입력 클럭 신호에 동기 되는 입력 데이터를 상기 마스터 회로로 인가한다.

<36> 좀더 설명하면, 상기 클럭 지연 검출 회로는 상기 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 상기 리셋 제어 신호를 발생하고, 상기 출력 클럭 신호 및 상기 입력 클럭 신호 사이의 지연을 검출하고, 상기 지연에 대응되는 초기 파라미터에 응답하여 상기 입력 데이터의 로딩 및 언로딩 동작을 수행한다.

<37> 상기 내부 리셋 신호는 상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호이다.

<38> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 클럭 지연 검출 회로는 지연 검출 회로 및 클럭 포워딩 회로를 구비한다.

- <39> 지연 검출 회로는 소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생하고, 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생한다.
- <40> 클럭 포워딩 회로는 상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행한다.
- <41> 상기 지연 검출 회로는 상기 출력 클럭 신호와 상기 입력 클럭 신호 사이의 지연을 검출하기 위한 검출 회로, 상기 검출된 지연들을 비교하고, 상기 검출된 지연들이 모두 일치하면 대응되는 상기 초기 파라미터를 발생하는 비교 회로 및 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면 상기 검출 회로를 리셋하고 상기 내부 리셋 신호에 응답하여 상기 리셋 제어 신호를 발생하며, 상기 검출된 지연들이 모두 일치될 때까지 N 비트 프리 런닝에 의하여 상기 비교 회로가 비교 동작을 수행하도록 제어하는 제어 회로를 구비한다.
- <42> 상기 검출 회로는 상기 출력 클럭 신호에 동기 되고 상기 입력 클럭 신호에 의해 리셋 되는 두 개의 D 플립 플롭을 구비하는 카운팅 부 및 상기 카운팅 부의 출력을 수신하고 상기 입력 클럭 신호에 응답하여 상기 출력 클럭 신호와 상기 입력 클럭 신호의 사이의 지연을 검출하는 검출부를 구비한다.
- <43> 상기 비교 회로는 다멀티플렉서와 N개의 래치를 구비하며, N 비트 프리 런닝에 의하여 상기 검출부로부터 출력되는 지연들의 최상위 비트(MSB) 및 최하위 비트(LSB) 각각을 래칭하는 래치부 및 상기 래치부로부터 출력되는 최상위 비트들과 최하위 비트들 각각

을 비교하고, 모든 최상위 비트들과 모든 최하위 비트들이 각각 일치하면, 상기 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중 어느 하나를 상기 초기 파라미터로서 출력하고 소정의 제 1 신호를 제 1 레벨로 출력하며, 최상위 비트들 및 최하위 비트들 중 어느 하나라도 일치하지 않으면 상기 제 1 신호를 제 2 레벨 신호를 출력하는 비교부를 구비한다.

<44>       상기 제어 회로는 상기 제 1 신호에 응답하여 N 비트 프리 런닝을 수행하기 위해 상기 디멀티플렉서를 제어하고, 소정의 클럭 신호를 상기 래치부로 인가하는 N 비트 프리 런닝 카운터/디코더, 상기 제 1 신호에 응답하여 상기 클럭 신호를 수신한 후 내부 리셋 신호로서 출력하는 시스템 클럭 제어부 및 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호를 수신하여 상기 N 비트 프리 런닝 카운터/디코더로 인가하고, 상기 검출부를 리셋하고, 상기 리셋 제어 신호로서 출력하는 리셋 제어부를 구비한다.

<45>       상기 클럭 포워딩 회로는 상기 시스템 클럭 제어부의 출력에 응답하여 리셋 되고, 상기 클럭 신호를 발생하는 클럭 제너레이터, 소정의 마스터 회로와 데이터 인터페이스를 하기 위한 내부 데이터 버스, 상기 내부 데이터 버스에 연결되며 상기 클럭 신호에 응답하여 데이터를 슬레이브 회로로 출력하는 데이터 제어부, 상기 클럭 신호에 응답하여 상기 출력 클럭 신호를 소정의 슬레이브 회로로 출력하는 출력 클럭 신호 제어부, 상기 클럭 신호를 수신하고 제어하여 제어된 클럭 신호를 출력하는 입력 클럭 신호 제어부, 상기 제어된 클럭 신호를 수신하고, 상기 초기 파라미터에 응답하여 로드 제어 신호들 및 언로드 제어 신호들을 발생하는 로드/언로드 클럭 제어부 및 상기 슬레이브 회로로부터 입력되는 상기 입력 데이터를 수신하고, 상기 로드 제어 신호들 및 상기 언

로드 제어 신호들에 응답하여 상기 입력 데이터를 상기 데이터 제어부를 통하여 상기 내부 데이터 버스로 언로딩하기 위한 로드/언로드 멀티플렉서를 구비한다.

<46>        상기 출력 클럭 신호는 소정의 마스터 회로에서 출력되는 신호이고, 상기 입력 클럭 신호는 소정의 슬레이브 회로에서 출력되는 신호이며, 상기 입력 클럭 신호는 상기 출력 클럭 신호의 피드백 클럭이다.

<47>        상기 내부 리셋 신호는 상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호이다. 상기 리셋 제어 신호는 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호가 활성화되면 발생하는 신호이다.

<48>        상기 다른 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 클럭 지연 검출 방법은, (a) 소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생하는 단계, (b) 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생하는 단계 및 (c) 상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행하는 단계를 구비하는 것을 특징으로 한다.

<49>        상기 (a) 단계는 (a1) 상기 출력 클럭 신호와 상기 입력 클럭 신호 사이의 지연을 검출하여 출력하는 단계, (a2) 상기 (a1) 단계로부터 출력되는 지연들의 최상위 비트(MSB) 및 최하위 비트(LSB) 각각을 래칭하는 단계 및 (a3) 상기 (a2) 단계로부터 출력되는 최상위 비트들과 최하위 비트들 각각을 비교하고, 모든 최상위 비트들과 모든 최하위 비트들이 각각 일치하면, 상기 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중

어느 하나를 상기 초기 파라미터로서 출력하며 소정의 제 1 신호를 제 1 레벨로서 출력하고, 최상위 비트들 및 최하위 비트들 중 어느 하나라도 일치하지 않으면 상기 제 1 신호를 제 2 레벨 신호를 출력하는 단계를 구비한다.

<50>        상기 (b) 단계는 상기 검출된 지연들 중 하나라도 일치하지 않으면 상기 제 1 신호에 응답하여 상기 (a) 단계를 다시 시작하기 위한 상기 리셋 제어 신호를 발생하며, 상기 검출된 지연들이 모두 일치될 때까지 N 비트 프리 런닝에 의하여 다시 상기 (a) 단계를 수행하도록 제어하는 것을 특징으로 한다.

<51>        상기 (b) 단계는 (b1) 상기 제 1 신호 및 소정의 클럭 신호에 응답하여 내부 리셋 신호를 발생하는 단계, (b2) 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호를 수신하여 상기 리셋 제어 신호를 발생하는 단계 및 (b3) 상기 제 1 신호에 응답하여 N 비트 프리 런닝을 수행하여 N 비트 프리 런닝 신호를 발생하는 단계를 구비하는 것을 특징으로 한다.

<52>        상기 (c) 단계는 (c1) 상기 클럭 신호를 발생하는 단계, (c2) 상기 클럭 신호에 응답하여 상기 출력 클럭 신호를 소정의 슬레이브 회로로 출력하는 단계, (c3) 상기 클럭 신호를 수신하고 제어하여 제어된 클럭 신호를 출력하는 단계, (c4) 상기 제어된 클럭 신호를 수신하고, 상기 초기 파라미터에 응답하여 로드 제어 신호들 및 언로드 제어 신호들을 발생하는 단계 및 (c5) 상기 슬레이브 회로로부터 입력되는 입력 데이터를 수신하고, 상기 로드 제어 신호들 및 상기 언로드 제어 신호들에 응답하여 입력 데이터를 언로딩하는 단계를 구비한다.

- <53>       상기 출력 클럭 신호는 소정의 마스터 회로에서 출력되는 신호이고, 상기 입력 클럭 신호는 소정의 슬레이브 회로에서 출력되는 신호이며, 상기 입력 클럭 신호는 상기 출력 클럭 신호의 피드백 클럭이다.
- <54>       상기 내부 리셋 신호는 상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호이다. 상기 리셋 제어 신호는 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호가 활성화되면 발생하는 신호이다.
- <55>       본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <56>       이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다
- <57>       도 5는 본 발명의 제 1 실시예에 따른 디지털 시스템을 나타내는 블록도이다.
- <58>       도 5를 참조하면, 본 발명의 제 1 실시예에 따른 디지털 시스템(500)은 마스터 회로(510) 및 슬레이브 회로(530)를 구비한다.
- <59>       마스터 회로(510)는 클럭 지연 검출 회로(520)를 구비하며, 시스템 리셋 신호(미도시)를 수신하고, 출력 데이터(DATA\_OUT) 및 출력 데이터(DATA\_OUT)가 동기 되는 출력 클럭 신호(CLK\_OUT)와 시스템 리셋 신호(미도시)에 응답하는 리셋 제어 신호(RESET)를 발생한다.
- <60>       슬레이브 회로(530)는 리셋 제어 신호(RESET)에 응답하여 리셋 되며, 출력 클럭 신호(CLK\_OUT) 및 출력 데이터(DATA\_OUT)를 수신하여 출력 클럭 신호(CLK\_OUT)의 피드백

클럭 신호인 입력 클럭 신호(CLK\_IN) 및 입력 클럭 신호(CLK\_IN)에 동기 되는 입력 데이터(DATA\_IN)를 마스터 회로(510)로 인가한다.

<61> 디지털 시스템(500)의 마스터 회로(510)는 출력 클럭 신호(CLK\_OUT) 및 출력 데이터(DATA\_OUT)를 슬레이브 회로(530)로 인가한다. 슬레이브 회로(530)는 출력 데이터(DATA\_OUT)를 수신하여 처리하고 입력 데이터(DATA\_IN)를 마스터 회로(510)로 다시 인가한다. 입력 데이터(DATA\_IN)는 입력 클럭 신호(CLK\_IN)에 동기 된다.

<62> 그런데 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT)사이에 지연이 발생된다. 마스터 회로(510)는 입력 클럭 신호(CLK\_IN)를 이용하여 입력 데이터(DATA\_IN)를 수신하고, 출력 클럭 신호(CLK\_OUT)를 이용하여 입력 데이터(DATA\_IN)를 처리하는데, 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연은 오동작의 원인이 된다. 따라서, 마스터 회로(510)는 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출하여 보정하는 클럭 지연 검출 회로(520)를 구비한다.

<63> 클럭 지연 검출 회로(520)는 출력 클럭 신호(CLK\_OUT) 및 입력 클럭 신호(CLK\_IN) 사이의 지연을 검출하고, 상기 지연에 대응되는 초기 파라미터에 응답하여 입력 데이터(DATA\_IN)의 로딩 및 언로딩 동작을 수행한다.

<64> 클럭 지연 검출 회로(520)는 출력 클럭 신호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN) 사이의 지연을 여러 번 검출하고, 검출 결과가 서로 일치하지 않으면 검출 결과가 일치 될 때까지 계속하여 지연을 검출한다. 클럭 지연 검출 회로(520)는 검출 결과가 서로 일치하면 검출된 지연에 대응되는 초기 파라미터를 발생하고, 초기 파라미터를 이용하여 입력 데이터(DATA\_IN)를 로딩 하거나 언로딩 한다.



- <65> 클럭 지연 검출 회로(520)는 시스템 리셋 신호(미도시) 또는 소정의 내부 리셋 신호(미도시)에 응답하여 리셋 제어 신호(RESET)를 발생한다. 내부 리셋 신호는 상기 검출된 지연들 중 어느 하나라도 일치하지 않는 경우 발생하는 클럭 신호이다.
- <66> 즉, 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 여러 번 검출하고, 검출 결과가 서로 일치하지 않으면 클럭 지연 검출 회로(520)는 내부 리셋 신호를 발생한다. 발생한 내부 리셋 신호에 응답하여 리셋 제어 신호가 발생되고, 리셋 제어 신호(RESET)가 발생되면 슬레이브 회로(530)는 리셋 된다. 내부 리셋 신호가 발생되면 클럭 지연 검출 회로(520)도 리셋 된다.
- <67> 리셋 후, 검출된 결과가 모두 서로 동일할 때까지 다시 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출한다. 클럭 지연 검출 회로(520)의 상세한 동작은 후술된다.
- <68> 도 6은 본 발명의 제 2 실시예에 따른 클럭 지연 검출 회로를 나타내는 블록도이다.
- <69> 도 6을 참조하면, 본 발명의 제 2 실시예에 따른 클럭 지연 검출 회로(520)는 지연 검출 회로(610) 및 클럭 포워딩 회로(620)를 구비한다.
- <70> 지연 검출 회로(610)는 소정의 출력 클럭 신호(CLK\_OUT) 및 입력 클럭 신호(CLK\_IN) 사이의 지연을 검출하고, 검출된 지연들이 모두 일치하면 지연에 대응되는 초기 파라미터(INIT\_UNLD<1:0>)를 발생한다. 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을

수행한다. 또한 지연 검출 회로(610)는 시스템 리셋 신호(SYSRST) 또는 소정의 내부 리셋 신호(미도시)에 응답하여 리셋 제어 신호(RESET)를 발생한다.

<71> 클럭 포워딩 회로(620)는 초기 파라미터(INIT\_UNLD<1:0>)에 응답하여 입력 데이터(DATA\_IN)의 로딩 및 언로딩 동작을 수행한다.

<72> 도 11은 클럭 지연 검출 방법을 설명하는 플로우 차트이다.

<73> 도 11의 클럭 지연 검출 방법(1100)은 도 6의 클럭 지연 검출 회로(520)의 동작을 설명하고 있으므로 함께 설명하기로 한다.

<74> 먼저, 소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하는지 또는 검출된 지연들 중 하나라도 다른 지연과 다른 것이 있는지를 판단한다.(1110 단계)

<75> 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생한다.(1120 단계)

<76> 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생한다.(1130 단계) 상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행한다.(1140 단계)

<77> 도 6을 참조하여 클럭 지연 검출 회로(520)의 동작을 좀더 상세히 설명한다.

<78> 클럭 포워딩 회로(620)는 클럭 제너레이터(630), 내부 데이터 버스(640), 데이터 제어부(650), 출력 클럭 신호 제어부(660), 입력 클럭 신호 제어부(670), 로드/언로드 클럭 제어부(680) 및 로드/언로드 멀티플렉서(690)를 구비한다.

- <79> 클럭 제너레이터(630)는 지연 검출 회로(610) 내부의 시스템 클럭 제어부(미도시)의 출력에 응답하여 리셋 되고, 클럭 신호(CLK)를 발생한다. 출력 클럭 신호 제어부(660)는 클럭 제너레이터(630)에서 발생하는 클럭 신호(CLK)에 응답하여 출력 클럭 신호(CLK\_OUT)를 슬레이브 회로(미도시)로 출력한다.
- <80> 이때, 마스터 회로(미도시)와 데이터 인터페이스를 하는 내부 데이터 버스(640)로부터 전송된 출력 데이터(DATA\_OUT)는 데이터 제어부(650)를 통하여 슬레이브 회로(미도시)로 출력된다.
- <81> 슬레이브 회로(미도시)는 마스터 회로(미도시)에서 출력되는 출력 클럭 신호(CLK\_OUT)와 출력 데이터(DATA\_OUT)를 수신하고 입력 클럭 신호(CLK\_IN)와 입력 데이터(DATA\_IN)를 마스터 회로(미도시)의 클럭 포워딩 회로(620)로 인가한다. 입력 클럭 신호(CLK\_IN)는 출력 클럭 신호(CLK\_OUT)의 피드백 클럭이다. 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이에는 지연이 존재한다. 지연은 마스터 회로와 슬레이브 회로를 포함하는 마더 보드의 구조에 의하여 발생된다.
- <82> 지연 검출 회로(610)는 자동으로 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출하고 지연에 대응되는 초기 파라미터(INIT\_UNLD<1:0>)를 로드/언로드 클럭 제어부(680)로 인가한다. 입력 클럭 신호 제어부(670)는 클럭 신호(CLK)를 수신하고 제어하여 제어된 클럭 신호(CLK\_OUT)를 출력한다.
- <83> 로드/언로드 클럭 제어부(680)는 제어된 클럭 신호(CLK\_OUT') 및 입력 클럭 신호(CLK\_IN)를 수신하고, 초기 파라미터(INIT\_UNLD<1:0>)에 응답하여 로드 제어 신호들(LD<1:0>) 및 언로드 제어 신호들(UNLD<1:0>)을 발생한다.

- <84> 로드/언로드 멀티플렉서(690)는 입력 데이터(DATA\_IN) 및 로드 제어 신호들(LD<1:0>) 및 언로드 제어 신호들(UNLD<1:0>)에 응답하여 입력 데이터(DATA\_IN)를 데이터 제어부(650)를 통하여 내부 데이터 버스(640)로 언로딩한다.
- <85> 로드/언로드 멀티플렉서(690)는 로드 제어 신호들(LD<1:0>) 및 언로드 제어 신호들(UNLD<1:0>)을 초기 값부터 발생시킨다. 로드 제어 신호들(LD<1:0>)의 초기 값은 "00"으로 설정되고, 언로드 제어 신호들(UNLD<1:0>)의 초기 값은 초기 파라미터(INIT\_UNLD<1:0>)에 응답하여 설정된다.
- <86> 이와 같은 방법으로 발생된 로드 제어 신호들(LD<1:0>) 및 언로드 제어 신호들(UNLD<1:0>)에 응답하여 로드/언로드 멀티플렉서(690)는 입력 데이터(DATA\_IN)를 로딩하고, 로딩된 입력 데이터(DATA\_IN)를 지연에 영향 받지 않고 데이터 제어부(650)를 통하여 마스터 회로(미도시)로 오류 없이 언로딩 할 수 있다.
- <87> 도 7은 도 6의 지연 검출 회로를 나타내는 회로도이다.
- <88> 도 7을 참조하면, 지연 검출 회로(610)는 검출 회로(710), 비교 회로(730) 및 제어 회로(760)를 구비한다. 검출 회로(710)는 출력 클럭 신호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN) 사이의 지연을 검출한다. 비교 회로(730)는 상기 검출된 지연들을 비교하고, 상기 검출된 지연들이 모두 일치하면 대응되는 초기 파라미터(INIT\_UNLD<1:0>)를 발생한다.
- <89> 제어 회로(760)는 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면 검출 회로(710)를 리셋하고 내부 리셋 신호(IRST)에 응답하여 리셋 제어 신호(RESET)를 발생한다. 이 때 도 6의 클럭 제너레이터(630)도 함께 리셋된다. 내부 리셋

신호(IRST)는 상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호이다.

<90> 또한 제어 회로(760)는 클럭 제너레이터(630)의 리셋이 해소된 후, 검출된 지연들이 모두 일치될 때까지 N 비트 프리 런닝에 의하여 비교 회로(730)가 비교 동작을 수행하도록 제어한다.

<91> 검출 회로(710)는 카운팅 부(715) 및 검출부(720)를 구비한다. 카운팅 부(715)는 출력 클럭 신호(CLK\_OUT)에 동기 되고 입력 클럭 신호(CLK\_IN)에 의해 리셋 되는 두 개의 D 플립 플롭(717, 719)을 구비한다. 검출부(720)는 카운팅 부(715)의 출력을 수신하고 입력 클럭 신호(CLK\_IN)에 응답하여 출력 클럭 신호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN)의 사이의 지연을 검출한다. 검출부(720)는 두 개의 D 플립 플롭(723, 725)과 R-S 플립 플롭(721)을 구비한다.

<92> D 플립 플롭(717)의 출력은 D 플립 플롭(723)으로 인가되고, D 플립 플롭(719)의 출력은 D 플립 플롭(725)으로 인가된다. 입력 클럭 신호(CLK\_IN)는 R-S 플립 플롭(721)을 통하여 D 플립 플롭들(723, 725)의 클럭 신호로서 인가된다.

<93> D 플립 플롭들(723, 725)은 카운팅 부(720)의 출력과 슬레이브 회로(미도시)에서 입력되는 입력 클럭 신호(CLK\_IN)에 응답하여 출력 클럭 신호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN) 사이의 지연을 검출한다.

<94> 비교 회로(730)는 래치부(735) 및 비교부(750)를 구비한다. 래치부(735)는 디멀티플렉서(737)와 N개의 래치(739, 741, 743, 745)를 구비하며, N 비트 프리 런닝에 의하여

검출부(720)로부터 출력되는 지연들의 최상위 비트(MSB) 및 최하위 비트(LSB) 각각을 래칭한다.

<95> 비교부(750)는 래치부(735)로부터 출력되는 최상위 비트(MSB:Most Significant Bit)들과 최하위 비트(LSB : Least Significant Bit)들 각각을 비교하고, 모든 최상위 비트들과 모든 최하위 비트들이 각각 일치하면, 상기 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중 어느 하나를 초기 파라미터(INIT\_UNLD<1:0>)로서 출력하고 소정의 제 1 신호(S1)를 제 1 레벨로 출력한다. 또한 비교부(750)는 최상위 비트들 및 최하위 비트들 중 어느 하나라도 일치하지 않으면 제 1 신호(S1)를 제 2 레벨 신호를 출력한다.

<96> 좀더 설명하면, 비교부(750)는 두 개의 배타적 논리합 수단(751, 753)과 반전 논리합 수단(755)을 구비한다. 배타적 논리합 수단(751, 753)은 검출된 지연들의 최상위 비트 N 개와 최하위 비트 N 개를 디멀티플렉서(737)를 통하여 수신한다. 또한 배타적 논리합 수단(751, 753)은 래치부(735)의 출력, 즉, 검출된 지연들이 모두 동일한지 아닌지를 판단하기 위하여 검출된 지연들의 최상위 비트와 최하위 비트들을 비교하고, 비교 결과를 반전 논리합 수단(755)으로 출력한다.

<97> 만일 검출된 지연들이 모두 동일하다면 반전 논리합 수단(755)은 제 1 신호(S1)를 제 1 레벨로 출력한다. 그러면, 검출된 지연들의 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중 어느 하나가 초기 파라미터(INIT\_UNLD<1:0>)로서 로드/언로드 클럭 제어부(680)로 출력된다.

<98> 그러나, 검출된 지연들이 모두 동일하지 않다면 반전 논리합 수단(755)은 제 1 신호(S1)를 제 2 레벨로 출력한다. 여기서, 제 1 레벨은 하이 레벨이고, 제 2 레벨은 로우

레벨인 것으로 한다. 그러면 제어 회로(760)는 제 2 레벨을 가지는 제 1 신호(S1)에 응답하여 클럭 제너레이터(680) 및 검출 회로(710)를 리셋 한다.

<99> 제어 회로(760)는 N 비트 프리 런닝 카운터/디코더(765), 시스템 클럭 제어부(770) 및 리셋 제어부(775)를 구비한다. N 비트 프리 런닝 카운터/디코더(765)는 리셋 제어부(775)와 래치부(735) 사이에 연결된다. N 비트 프리 런닝 카운터/디코더(765)는 제 1 신호(S1)에 응답하여 N 비트 프리 런닝을 수행하기 위해 디멀티플렉서(737)를 제어하고, 소정의 클럭 신호를 래치부(735)로 인가한다.

<100> 즉, N 비트 프리 런닝 카운터/디코더(765)는 비교부(750)에서 출력되는 제 1 신호(S1)가 제 2 레벨, 즉 논리 로우 레벨일 경우 활성화되어 N 비트 프리 런닝을 수행하고, 클럭 제너레이터(630)로부터의 클럭 신호를 래치부(735)의 래치들로 공급하기 위하여 디멀티플렉서(737)를 제어한다.

<101> 시스템 클럭 제어부(770)는 비교부(750)에서 발생하는 제 1 신호(S1)가 제 2 레벨일 경우, 즉, 검출된 지연들 중 하나라도 다른 검출된 지연들과 일치하지 않을 경우, 제 1 신호(S1)에 응답하여 클럭 제너레이터(630)를 리셋하고 내부 리셋 신호(IRST)를 발생한다.

<102> 리셋 제어부(775)는 시스템 리셋 신호(SYSRST) 또는 내부 리셋 신호(IRST)를 수신하여 N 비트 프리 런닝 카운터/디코더(765)로 인가하고, 검출 회로(710)를 리셋하고, 리셋 제어 신호(RESET)로서 출력한다. 시스템 리셋 신호(SYSRST)는 외부에서 시스템 전체를 리셋 할 경우에 입력되는 신호이다. 내부 리셋 신호(IRST)는 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호이다.

<103> 일정한 시간이 지난 후, 리셋이 해제(release)되면 검출 회로(710)도 다음 입력을 수신할 수 있도록 전환되고, 디멀티플렉서(737)도 N 비트 프리 런닝 카운터/디코더(765)에 의하여 검출부(720)의 출력을 수신하여 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출한다. 총 N 번의 검출된 지연이 모두 동일해야만 안정적인 지연이 검출되었다고 할 수 있으며, 안정적인 지연이 검출되면 제 1 신호(S1)는 제 1 레벨로 발생되어 제어 회로(760)를 정지시킨다. 또한 초기 파라미터(INIT\_UNLD<1:0>)가 로드/언로드 클럭 제어부(680)로 인가된다.

<104> 이러한 클럭 지연 검출 회로(520)는 전원이 턴 온 된 후, 마스터 회로(미도시)가 동작 모드로 들어가기 전에 초기 파라미터(INIT\_UNLD<1:0>)가 설정되도록 제어 블록(미도시)에 장착된다. 그리고, 매번 전원이 턴 온 되면 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출하여 자동으로 초기 파라미터(INIT\_UNLD<1:0>)가 설정되도록 한다.

<105> 제 1 신호(S1)가 제 2 레벨일 경우, 즉, 검출된 지연들 중 하나라도 다른 검출된 지연들과 일치하지 않을 경우, 클럭 제너레이터(630)나 검출 회로(710)는 매번 리셋 되지만 클럭 지연 검출 회로(520)가 장착되는 제어 블록(미도시) 외부의 회로, 즉 메모리나 칩 셋(chipset)의 경우는 리셋 되지 않는다. 따라서 저장된 값들이 이전 상태를 유지하거나 또는 외부 요인에 의하여 달라질 수 있다.

<106> 따라서 리셋 제어부(775)는 시스템 클럭 제어부(770)가 클럭 제너레이터(630)를 리셋 시키고 내부 리셋 신호(IRST)를 발생하면, 내부 리셋 신호(IRST)에 응답하여 리셋 제어 신호(RESET)를 발생한다. 리셋 제어 신호(RESET)는 검출 회로(710)를 리셋 시킴과 동시에 외부의 메모리나 칩 셋을 리셋 시킨다. 따라서 클럭 제너레이터(630)와 검출 회로



(710) 뿐만 아니라 마스터 회로(미도시)와 인터페이스 되는 외부 회로도 동시에 리셋 될 수 있으므로 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출할 경우 동일한 조건 하에서 검출을 시작할 수 있으며 시스템의 안정된 동작을 보장한다.

<107> 도 8은 도 7의 지연 검출 회로의 동작을 나타내는 타이밍도이다.

<108> 도 7 및 도 8을 참조하면, 플립 플롭들(717, 719)은 출력 클럭 신호(CLK\_OUT)에 응답하여 동작된다. 도 8의 F/F<1> 은 플립 플롭(717)의 출력 파형이고, F/F<0>은 플립 플롭(719)의 출력 파형이다.

<109> 검출부(720)는 입력 클럭 신호(CLK\_IN)와 플립 플롭들(717, 719)의 출력 파형(F/F<1>, F/F<0>)에 응답하여 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연을 검출한다. 도 8을 참조하면, 만일 최대 지연이 1 비트 타임(Bit Time)보다 크고 2 비트 타임(Bit Time)보다 작으면 검출된 지연은 "11"이 된다. 이는 입력 클럭 신호(CLK\_IN)의 상승 에지에서 플립 플롭들(717, 719)의 출력 파형(F/F<1>, F/F<0>)을 검토함에 의하여 결정된다.

<110> N 개의 검출된 지연들 중 하나라도 다른 검출된 지연들과 동일하지 않다면, 시스템 클럭 제어부(770)는 클럭 제너레이터(630)를 리셋 하고, 내부 리셋 신호(IRST)를 발생하며, 내부 리셋 신호(IRST)에 응답하여 리셋 제어부(775)는 검출 회로(710)를 리셋 한다. 클럭 제너레이터(630)의 리셋이 해제되면 검출된 지연들이 모두 동일해질 때까지 지연 검출이 반복된다.

<111> 도 9는 도 7의 지연 검출 회로에서 발생하는 초기 파라미터를 나타내는 표이

다. 도 9를 참조하면, 초기 파라미터(INIT\_UNLD<1:0>)는 검출되는 최대 지연에 의하여 결정된다. 만일 최대 지연이 1 비트 타임 보다 크고 2 비트 타임보다 작다면 초기 파라미터(INIT\_UNLD<1:0>)는 "11"이 된다. 이 때 패치된 결과 DLY<1:0>이 "11"이기 때문이다. 만일 최대 지연이 2 비트 타임 보다 크고 3 비트 타임보다 작다면 초기 파라미터는 "10"이 된다.

<112> 도 10은 도 6의 클럭 지연 검출 회로의 동작을 설명하는 타이밍도 이다.

<113> 만일 언로드 제어 신호(UNLD)의 초기 값이 "11"로 설정된다면, 언로드 제어 신호(UNLD)는 출력 클럭 신호(CLK\_OUT)에 응답하여 "10", "00", "01" 그리고 다시 "11"의 순서로 반복되어 발생된다. 그리고, 로드 제어 신호(LD)는 입력 클럭 신호(CLK\_IN)에 응답하여 항상 "01", "11", "10", "00"의 순서로 반복적으로 발생된다.

<114> 만일 언로드 제어 신호(UNLD)의 초기 값이 "11"로 설정된다면, 이는 최대 지연이 1 비트 타임보다 크고 2 비트 타임보다 작은 경우를 의미한다. 따라서 클럭 지연 검출 회로(520)는 마스터 회로(미도시)와 슬레이브 회로(미도시) 사이의 데이터 전송이 입력 클럭 신호(CLK\_IN)와 출력 클럭 신호(CLK\_OUT) 사이의 지연에 영향받지 않도록 하기 위하여 언로드 제어 신호들(UNLD<1:0>) "10" 및 "00"에 대응되는 두 클럭을 미리 전송한다.

<115> 따라서, 언로드 제어 신호들(UNLD<1:0>) "10", "00"에 대응되는 두 클럭들이 전송된 후, "01", "11", "10", "00"의 순서로 발생하는 로드 제어 신호(LD)에 응답하여 입력 데이터(DATA\_IN)는 로드/언로드 멀티플렉서(690)로 로딩 된다. 그러면 "01", "11", "10", "00"의 순서로 발생하는 언로드 제어 신호(UNLD)에 응답하여 로딩된 입력 데이터(DATA\_IN)는 언로딩 된다. 따라서, 본 발명에 따른 클럭 지연 검출 회로는 출력 클럭 신

호(CLK\_OUT)와 입력 클럭 신호(CLK\_IN) 사이의 지연에 대응되는 초기 파라미터를 자동으로 설정하고 또한 인터페이스 되는 외부 회로를 마스터 회로와 동시에 리셋 할 수 있다.

<116>       이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

#### 【발명의 효과】

<117> 상술한 바와 같이 본 발명에 따른 클럭 지연 검출 회로는 클럭 포워딩 회로의 초기 파라미터를 설정하기 위한 클럭 지연을 자동으로 검출할 수 있으며, 또한 인터페이스 되는 외부 회로를 마스터 회로와 동시에 리셋 할 수 있으므로 데이터 전송을 오류 없이 수행할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

클럭 지연 검출 회로를 구비하며, 시스템 리셋 신호를 수신하고, 출력 데이터 및 상기 출력 데이터가 동기 되는 출력 클럭 신호와 상기 시스템 리셋 신호에 응답하는 리셋 제어 신호를 발생하는 마스터 회로 ; 및

상기 리셋 제어 신호에 응답하여 리셋 되며, 상기 출력 클럭 신호 및 상기 출력 데이터를 수신하여 상기 출력 클럭 신호의 피드백 클럭 신호인 입력 클럭 신호 및 상기 입력 클럭 신호에 동기 되는 입력 데이터를 상기 마스터 회로로 인가하는 슬레이브 회로를 구비하고,

상기 클럭 지연 검출 회로는,

상기 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 상기 리셋 제어 신호를 발생하고, 상기 출력 클럭 신호 및 상기 입력 클럭 신호 사이의 지연을 검출하고, 상기 지연에 대응되는 초기 파라미터에 응답하여 상기 입력 데이터의 로딩 및 언로딩 동작을 수행하는 것을 특징으로 하는 디지털 시스템.

**【청구항 2】**

제 1항에 있어서, 상기 내부 리셋 신호는,

상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호인 것을 특징으로 하는 디지털 시스템.

**【청구항 3】**

소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생하고, 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생하는 지연 검출 회로 ; 및

상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행하는 클럭 포워딩 회로를 구비하는 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 4】**

제 3항에 있어서, 상기 지연 검출 회로는,

상기 출력 클럭 신호와 상기 입력 클럭 신호 사이의 지연을 검출하기 위한 검출 회로 ;

상기 검출된 지연들을 비교하고, 상기 검출된 지연들이 모두 일치하면 대응되는 상기 초기 파라미터를 발생하는 비교 회로 ; 및

상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면 상기 검출 회로를 리셋하고 상기 내부 리셋 신호에 응답하여 상기 리셋 제어 신호를 발생하며, 상기 검출된 지연들이 모두 일치될 때까지 N 비트 프리 런닝에 의하여 상기 비교 회로가 비교 동작을 수행하도록 제어하는 제어 회로를 구비하는 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 5】**

제 4항에 있어서, 상기 검출 회로는,

상기 출력 클럭 신호에 동기 되고 상기 입력 클럭 신호에 의해 리셋 되는 두 개의 D 플립 플롭을 구비하는 카운팅 부 ; 및

상기 카운팅 부의 출력을 수신하고 상기 입력 클럭 신호에 응답하여 상기 출력 클럭 신호와 상기 입력 클럭 신호의 사이의 지연을 검출하는 검출부를 구비하는 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 6】**

제 4항에 있어서, 상기 비교 회로는,

디멀티플렉서와 N개의 래치를 구비하며, N 비트 프리 런닝에 의하여 상기 검출부로부터 출력되는 지연들의 최상위 비트(MSB) 및 최하위 비트(LSB) 각각을 래칭하는 래치부 ; 및

상기 래치부로부터 출력되는 최상위 비트들과 최하위 비트들 각각을 비교하고, 모든 최상위 비트들과 모든 최하위 비트들이 각각 일치하면, 상기 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중 어느 하나를 상기 초기 파라미터로서 출력하고 소정의 제 1 신호를 제 1 레벨로 출력하며, 최상위 비트들 및 최하위 비트들 중 어느 하나라도 일치하지 않으면 상기 제 1 신호를 제 2 레벨 신호를 출력하는 비교부를 구비하는 클럭 지연 검출 회로.

**【청구항 7】**

제 6항에 있어서, 상기 제어 회로는,

상기 제 1 신호에 응답하여 N 비트 프리 런닝을 수행하기 위해 상기 디멀티플렉서를 제어하고, 소정의 클럭 신호를 상기 래치부로 인가하는 N 비트 프리 런닝 카운터/디코더 ;

상기 제 1 신호에 응답하여 상기 클럭 신호를 수신한 후 내부 리셋 신호로서 출력하는 시스템 클럭 제어부; 및

상기 시스템 리셋 신호 또는 상기 내부 리셋 신호를 수신하여 상기 N 비트 프리 런닝 카운터/디코더로 인가하고, 상기 검출부를 리셋하고, 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호를 상기 리셋 제어 신호로서 출력하는 리셋 제어부를 구비하는 것을 특징으로 하는 클럭 지연 검출 회로.

#### 【청구항 8】

제 7항에 있어서, 상기 클럭 포워딩 회로는,

상기 시스템 클럭 제어부의 출력에 응답하여 리셋 되고, 상기 클럭 신호를 발생하는 클럭 제너레이터 ;

소정의 마스터 회로와 데이터 인터페이스를 하기 위한 내부 데이터 버스 ;

상기 내부 데이터 버스에 연결되며 상기 클럭 신호에 응답하여 데이터를 슬레이브 회로로 출력하는 데이터 제어부 ;

상기 클럭 신호에 응답하여 상기 출력 클럭 신호를 소정의 슬레이브 회로로 출력하는 출력 클럭 신호 제어부 ;

상기 클럭 신호를 수신하고 제어하여 제어된 클럭 신호를 출력하는 입력 클럭 신호 제어부 ;

상기 제어된 클럭 신호를 수신하고, 상기 초기 파라미터에 응답하여 로드 제어 신호들 및 언로드 제어 신호들을 발생하는 로드/언로드 클럭 제어부 ; 및

상기 슬레이브 회로로부터 입력되는 상기 입력 데이터를 수신하고, 상기 로드 제어 신호들 및 상기 언로드 제어 신호들에 응답하여 상기 입력 데이터를 상기 데이터 제어부를 통하여 상기 내부 데이터 버스로 언로딩하기 위한 로드/언로드 멀티플렉서를 구비하는 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 9】**

제 9항에 있어서, 상기 출력 클럭 신호는 소정의 마스터 회로에서 출력되는 신호이고, 상기 입력 클럭 신호는 소정의 슬레이브 회로에서 출력되는 신호이며, 상기 입력 클럭 신호는 상기 출력 클럭 신호의 피드백 클럭인 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 10】**

제 3항에 있어서, 상기 내부 리셋 신호는,  
상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호인 것을 특징으로 하는 클럭 지연 검출 회로.

**【청구항 11】**

제 3항에 있어서, 상기 리셋 제어 신호는,  
상기 시스템 리셋 신호 또는 상기 내부 리셋 신호가 활성화되면 발생하는 신호인 것을 특징으로 하는 클럭 지연 검출 회로.



## 【청구항 12】

클럭 지연 검출 방법에 있어서,

(a) 소정의 출력 클럭 신호 및 입력 클럭 신호 사이의 지연을 검출하고, 상기 검출된 지연들이 모두 일치하면 상기 지연에 대응되는 초기 파라미터를 발생하는 단계 ;

(b) 상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면, 상기 검출된 지연들이 모두 일치될 때까지 계속 지연 검출을 수행하며, 시스템 리셋 신호 또는 소정의 내부 리셋 신호에 응답하여 리셋 제어 신호를 발생하는 단계 ; 및

(c) 상기 초기 파라미터에 응답하여 입력 데이터의 로딩 및 언로딩 동작을 수행하는 단계를 구비하는 것을 특징으로 하는 클럭 지연 검출 방법.

## 【청구항 13】

제 12항에 있어서, 상기 (a) 단계는,

(a1) 상기 출력 클럭 신호와 상기 입력 클럭 신호 사이의 지연을 검출하여 출력하는 단계 ;

(a2) 상기 (a1) 단계로부터 출력되는 지연들의 최상위 비트(MSB) 및 최하위 비트(LSB) 각각을 래칭하는 단계 ; 및

(a3) 상기 (a2) 단계로부터 출력되는 최상위 비트들과 최하위 비트들 각각을 비교하고, 모든 최상위 비트들과 모든 최하위 비트들이 각각 일치하면, 상기 최상위 비트들 중 어느 하나와 상기 최하위 비트들 중 어느 하나를 상기 초기 파라미터로서 출력하며 소정의 제 1 신호를 제 1 레벨로서 출력하고, 최상위 비트들 및 최하위 비트들 중 어느

하나라도 일치하지 않으면 상기 제 1 신호를 제 2 레벨로서 출력하는 단계를 구비하는 것을 특징으로 하는 클럭 지연 검출 방법.

**【청구항 14】**

제 13항에 있어서, 상기 (b) 단계는,

상기 검출된 지연들 중 하나라도 검출된 다른 지연들과 일치하지 않으면 상기 제 1 신호에 응답하여 상기 (a) 단계를 다시 시작하기 위한 상기 리셋 제어 신호를 발생하며, 상기 검출된 지연들이 모두 일치될 때까지 N 비트 프리 런닝에 의하여 다시 상기 (a) 단계를 수행하도록 제어하는 것을 특징으로 하는 클럭 지연 검출 방법.

**【청구항 15】**

제 14항에 있어서, 상기 (b) 단계는,

(b1) 상기 제 1 신호 및 소정의 클럭 신호에 응답하여 내부 리셋 신호를 발생하는 단계 ;

(b2) 상기 시스템 리셋 신호 또는 상기 내부 리셋 신호를 수신하여 상기 리셋 제어 신호를 발생하는 단계 ; 및

(b3) 상기 제 1 신호에 응답하여 N 비트 프리 런닝을 수행하여 N 비트 프리 런닝 신호를 발생하는 단계를 구비하는 것을 특징으로 하는 클럭 지연 검출 방법.

**【청구항 16】**

제 15항에 있어서, 상기 (c) 단계는,

(c1) 상기 클럭 신호를 발생하는 단계 ;

(c2) 상기 클럭 신호에 응답하여 상기 출력 클럭 신호를 소정의 슬레이브 회로로 출력하는 단계 ;

(c3) 상기 클럭 신호를 수신하고 제어하여 제어된 클럭 신호를 출력하는 단계 ;

(c4) 상기 제어된 클럭 신호를 수신하고, 상기 초기 파라미터에 응답하여 로드 제어 신호들 및 언로드 제어 신호들을 발생하는 단계 ; 및

(c5) 상기 슬레이브 회로로부터 입력되는 입력 데이터를 수신하고, 상기 로드 제어 신호들 및 상기 언로드 제어 신호들에 응답하여 입력 데이터를 언로딩하는 단계를 구비하는 것을 특징으로 하는 클럭 지연 검출 방법.

#### 【청구항 17】

제 12항에 있어서, 상기 출력 클럭 신호는 소정의 마스터 회로에서 출력되는 신호이고, 상기 입력 클럭 신호는 소정의 슬레이브 회로에서 출력되는 신호이며, 상기 입력 클럭 신호는 상기 출력 클럭 신호의 피드백 클럭인 것을 특징으로 하는 클럭 지연 검출 방법.

#### 【청구항 18】

제 12항에 있어서, 상기 내부 리셋 신호는,

상기 검출된 지연들 중 어느 하나라도 검출된 다른 지연들과 일치하지 않는 경우 발생하는 클럭 신호인 것을 특징으로 하는 클럭 지연 검출 방법.

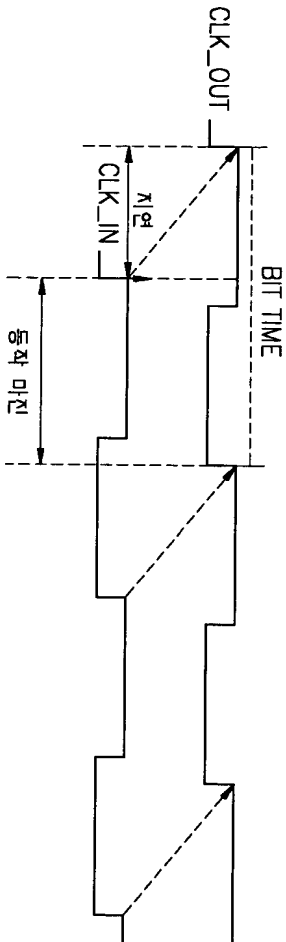
#### 【청구항 19】

제 12항에 있어서, 상기 리셋 제어 신호는,

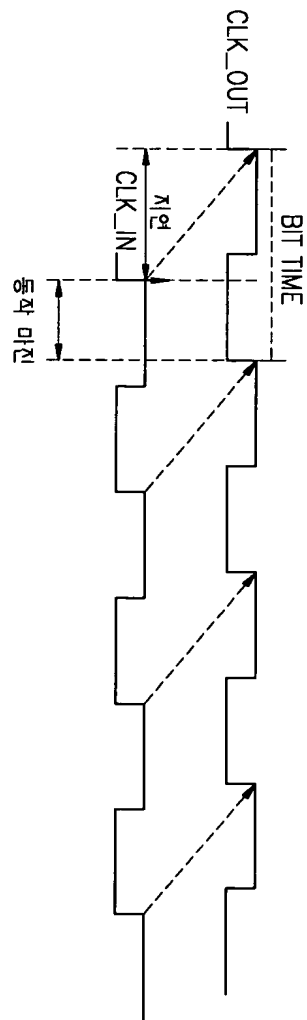
상기 시스템 리셋 신호 또는 상기 내부 리셋 신호가 활성화되면 발생하는 신호인 것을 특징으로 하는 클럭 지연 검출 방법.

【도면】

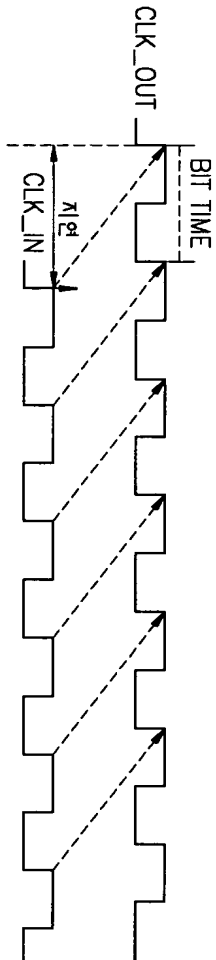
【도 1】



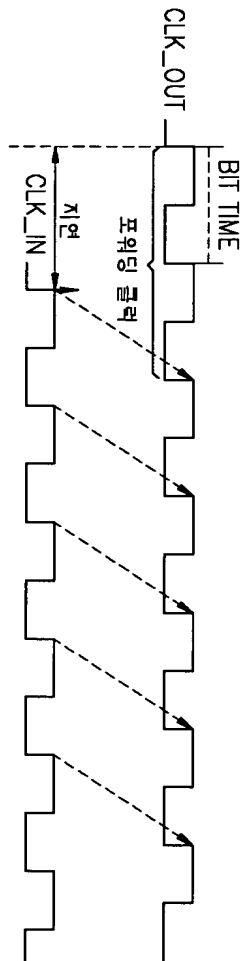
【도 2】



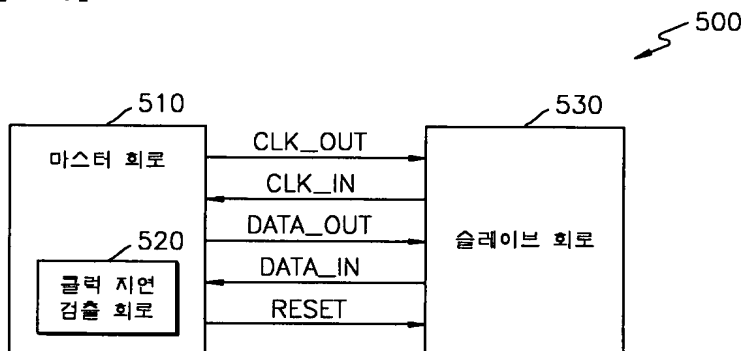
【도 3】



【도 4】

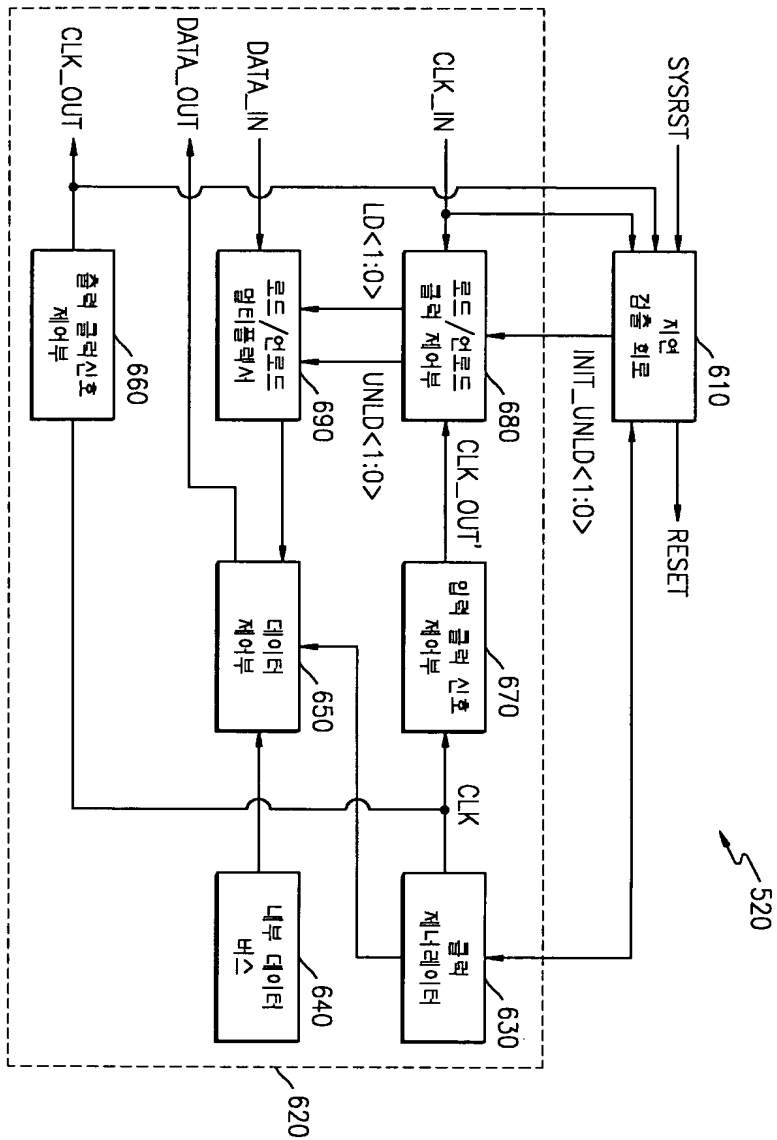


【도 5】

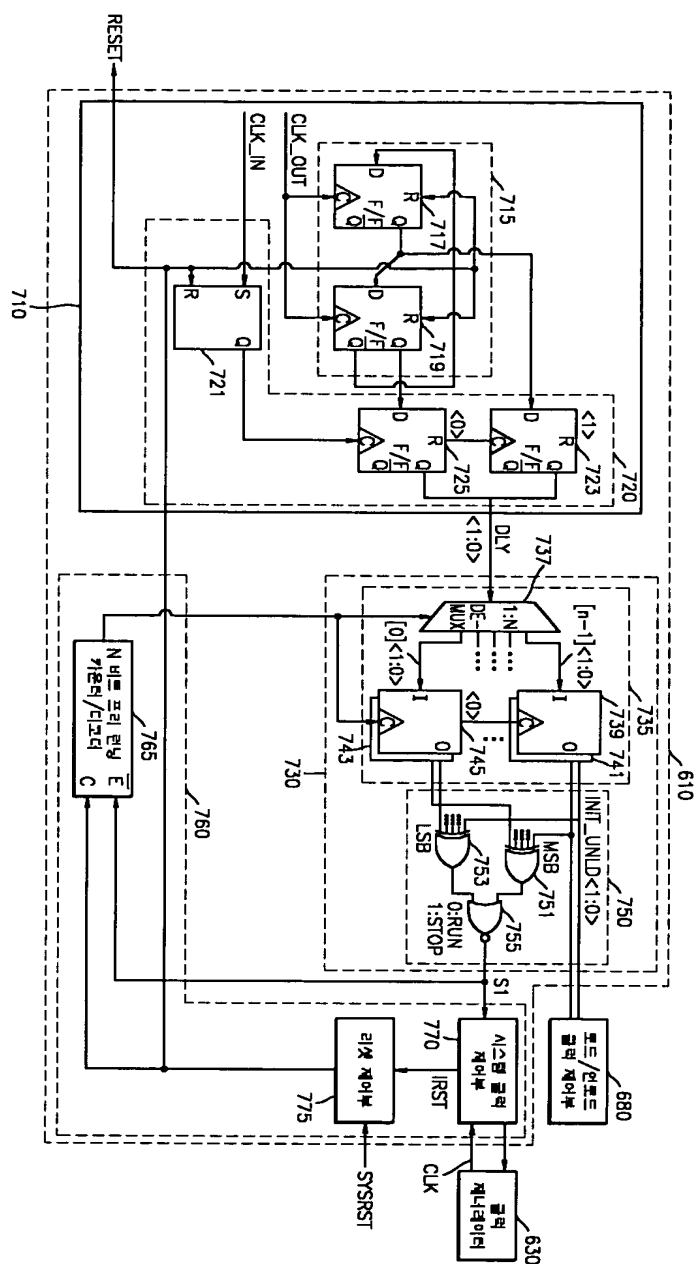




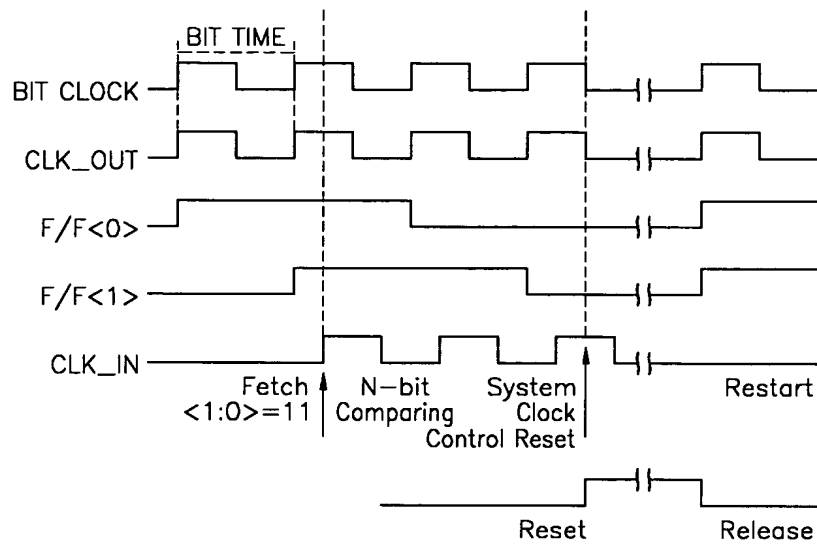
【도 6】



【도 7】



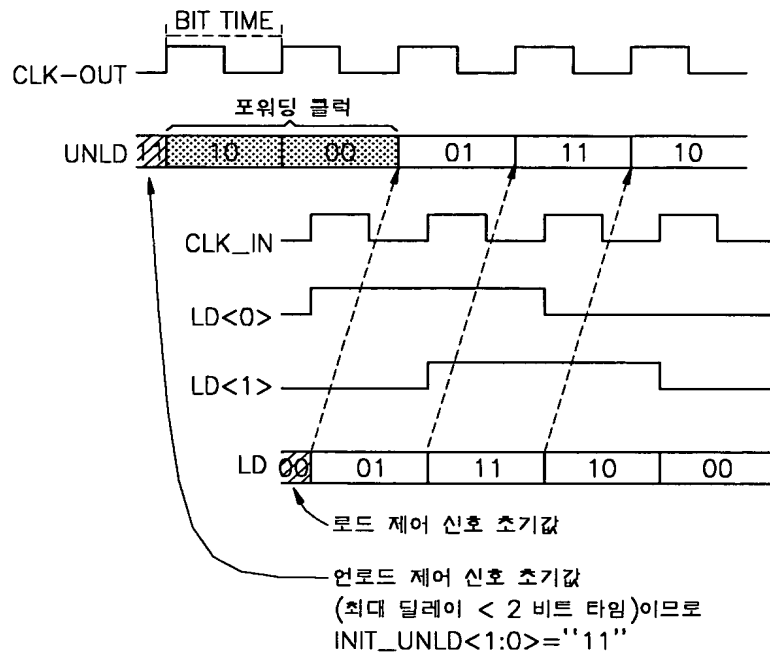
【도 8】



【도 9】

최대 지연	INIT_UNLD<1:0>
MD<1BIT TIME	01
1<MD≤ 2BIT TIME	11
2<MD≤ 3BIT TIME	10
3<MD≤ 4BIT TIME	00

【도 10】



【도 11】

